

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-189459

(43)Date of publication of application : 10.07.2001

(51)Int.Cl.

H01L 29/786
G02F 1/1365
H01L 21/20
H01L 21/322
H01L 21/336

(21)Application number : 11-372214

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 28.12.1999

(72)Inventor : ONUMA HIDETO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR**(57)Abstract:**

PROBLEM TO BE SOLVED: To remove or reduce impurity elements in the vicinity of the junction of a thin-film transistor.

SOLUTION: The impurity element, such as a 3d transition metal, can be moved into a region far from the junction regions of a channel-forming region and a drain region by doping the element represented by P (phosphorus) in a region, in which source/drain are formed, and forming a gradient to the concentration distribution. That is, the impurity element in the vicinity of the junction regions can be gettered effectively, by lowering the concentration of the element represented by P in sections close to the junction regions and enhancing the concentration of the element represented by P in sections separated from the junction regions.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A) (11) 特許出願公開番号
特開2001-189459
(P2001-189459A)

(43) 公開日 平成13年 7 月10日 (2001. 7. 10)

(51) Int. Cl. ⁷	識別記号	F I	7-71-1*(参考)
H 0 1 L 29/786		H 0 1 L 21/20	2 H 0 9 2
G 0 2 F 1/1365		21/322	R 5 F 0 5 2
H 0 1 L 21/20		29/78	6 1 6 V 5 F 1 1 0
21/322		G 0 2 F 1/136	5 0 0
21/336		H 0 1 L 29/78	6 1 6 A
審査請求 未請求 請求項の数16 O L (全 24 頁) 最終頁に続く			

(21) 出願番号	特願平11-372214	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成11年12月28日 (1999. 12. 28)	(72) 発明者	大沼 英人 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		最終頁に続く	

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】
【課題】 薄膜トランジスタの接合近傍の不純物元素を除去もしくは低減することを課題とする。
【解決手段】 上記課題点を解決するために、ソース/ドレインが形成される領域に、P（リン）に代表される元素をドーブし、その濃度分布に勾配をつけることで、3d遷移金属などの不純物元素を、チャネル形成領域とドレイン領域との接合領域から遠い領域に移動させることができる。即ち、接合領域に近い部分でPに代表される元素の濃度を低くし、接合領域から離れた部分でPに代表される元素の濃度を高くすることで、接合領域近傍の不純物元素を効果的にゲッタリングできる。

(2)

特開2001-189459

1

2

【特許請求の範囲】

【請求項1】 チャネル形成領域と、前記チャネル形成領域の外側に形成された、第1の不純物領域と、前記第1の不純物領域の外側に形成された第2の不純物領域とを有し、前記第1の不純物領域は一導電型の不純物元素を前記第1の濃度で含み、前記第2の不純物領域は前記一導電型と同型の不純物元素を前記第2の濃度で含み、前記第2の濃度は前記第1の濃度よりも高いことを特徴とする半導体装置。

【請求項2】 チャネル形成領域と、前記チャネル形成領域の外側に形成された第1の不純物領域と、前記第1の不純物領域の外側に形成された第2の不純物領域とを有し、前記第1の不純物領域は一導電型の不純物元素を前記第1の濃度で含み、前記第2の不純物領域は、前記一導電型の不純物元素を前記第1の濃度で含み、かつ、前記一導電型とは反対の導電型の不純物元素を前記第2の濃度で含み、前記第1の濃度は前記第2の濃度よりも高いことを特徴とする半導体装置。

【請求項3】 前記チャネル形成領域と前記第1の不純物領域との間にLD領域が形成された、請求項1乃至2のいずれかに記載の半導体装置。

【請求項4】 前記チャネル形成領域と前記第1の不純物領域との間にオフセット領域が形成された、請求項1乃至2のいずれかに記載の半導体装置。

【請求項5】 チャネル形成領域と、前記チャネル形成領域の外側に形成された第3の不純物領域を有し、前記第3の不純物領域は一導電型の不純物元素を含み、前記不純物元素の濃度は、前記チャネル形成領域から遠さかるにつれて、第3の濃度から第4の濃度まで連続的に増加することを特徴とする半導体装置。

【請求項6】 前記チャネル形成領域と前記第3の不純物領域との間にLD領域が形成された、請求項3に記載の半導体装置。

【請求項7】 前記チャネル形成領域と前記第3の不純物領域との間にオフセット領域が形成された、請求項3に記載の半導体装置。

【請求項8】 前記第1の濃度が、 1×10^{17} atoms/cm² ~ 5×10^{17} atoms/cm² であり、前記第2の濃度は、前記第1の濃度の1.2倍から100倍であることを特徴とする請求項1、3、4のいずれかに記載の半導体装置。

【請求項9】 前記第2の濃度が、 1×10^{17} atoms/cm² ~ 1×10^{19} atoms/cm² であることを特徴とする請求項2乃至4のいずれかに記載の半導体装置。

【請求項10】 前記第3の濃度が、 1×10^{17} atoms/cm² ~ 5×10^{17} atoms/cm² であり、前記第3の不純物領域における、

1乃至7のいずれかに記載の半導体装置。

【請求項12】 前記チャネル形成領域が結晶化を促進する金属としてNiを用いて形成されていることを特徴とする請求項10に記載の半導体装置。

【請求項13】 前記不純物元素としてPを導入することを特徴とする請求項1乃至7のいずれかに記載の半導体装置。

【請求項14】 チャネル形成領域の外側に、第1の不純物領域を形成する第1の工程と、前記第1の不純物領域の外側に、第2の不純物領域を形成する第2の工程を有し、前記第1の不純物領域には一導電型の不純物元素を第1の濃度で導入し、前記第2の不純物領域には前記一導電型と同型の不純物元素を第2の濃度で導入し、前記第2の濃度は前記第1の濃度よりも高く導入することを特徴とする半導体装置の作成方法。

【請求項15】 チャネル形成領域の外側に、第1の不純物領域を形成する第1の工程と、前記第1の不純物領域の外側に、第2の不純物領域を形成する第2の工程を有し、前記第1の不純物領域には、一導電型の元素を第1の濃度で導入し、前記第2の不純物領域には、前記一導電型の元素を前記第1の濃度で導入し、かつ、前記一導電型とは反対の導電型の不純物元素を第2の濃度で導入し、前記第1の濃度は前記第2の濃度よりも高く導入することを特徴とする半導体装置の作製方法。

【請求項16】 チャネル形成領域の外側に第3の不純物領域を形成する第1の工程を有し、前記第3の不純物領域には、一導電型の不純物元素を導入し、前記第3の領域に含まれた前記不純物元素は、前記チャネル形成領域から遠さかる向きに、第3の濃度から第4の濃度まで連続的に増加し、前記第4の濃度が、前記第3の濃度よりも高く導入することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、絶縁表面を有する基板上にアクティブマトリクス型画素効果薄膜トランジスタ（以下、薄膜トランジスタをTFTという）で構成された回路を有する半導体装置、およびその作製方法に関する。本明細書における半導体装置とは、半導体特性を利用することで機能する装置全般を指す。特に本発明は、同一基板上に画像表示領域と画像表示を行うための駆動回路を設ける、液晶表示装置に代表される電気光学装置およびこの電気光学装置を搭載する電子機器に好適に利用できる、上記半導体装置は、上記電気光学装置および上記電気光学装置を搭載する電子機器をその範疇に含んでいる。

【0002】

(3)

特開2001-189459

3

4

するTFT（以下、アモルファスシリコンTFTと記す）よりも電界効果移動度が高く、高速動作が可能である。そのため、高速動作が必要な画像領域の駆動回路の作製にアモルファスシリコンTFTを用いるのは不適当だったが、結晶質シリコンTFTを用いると、画像表示領域と同一基板上に作製することが可能になった。

【0003】結晶質膜を得るための技術として、特開平10-303430号公報記載の技術がある。同公報開示の技術は、結晶化を促進させる金属を導入することで、結晶成長を行い、Pに代表される元素をドーブした領域に結晶化を促進させる金属を移動させ、ゲッタリングを行うものである。この技術は、非晶質膜の結晶化にあたっては、結晶化を促進させる金属の作用で結晶化温度を引き下げ、また結晶化に要する時間を低減させ、かつ結晶化終了後は、半導体装置の電気特性や信頼性に悪影響を及ぼさないように結晶化を促進させる金属を結晶質膜中から除去または悪影響を及ぼさない程度まで低減させるものである。この技術を用いることで低温の加熱処理で結晶化を促進させる金属をゲッタリングさせることができ、半導体装置作製にあたり低温プロセスの特徴を生かすことができる。

【0004】更に前記の技術を発展させたものに、トランジスタのソース/ドレイン領域にPに代表される元素をドーブし、ゲッタリングを行う方法がある。この方法では、ゲッタリングによって結晶化を促進させる金属を除去または減少させる領域はトランジスタのチャネルが形成される領域のみでよい為、ゲッタリングに要する熱処理の時間を短縮できる。またソース/ドレイン形成時にPに代表される元素をドーブすることで、ゲッタリングの為の行程を削減できる。またpチャネル型のトランジスタに関してはソース/ドレイン領域にPに代表される元素ドーブすることで、ゲッタリングが行われる。このとき活性層にドーブするPに代表される元素の濃度を、P型を付与する不純物元素の濃度以下として、ソース/ドレインを形成する。これらは特開平10-242475号公報や特開平10-335672号公報に記載された技術である。

【0005】

【発明が解決しようとする課題】Pに代表される元素を用いて結晶化を促進させる金属をゲッタリングする場合一様に、結晶化を促進させる金属は、Pに代表される元素を添加した領域と結晶化を促進させる金属が除去もしくは低減される領域との界面付近に多く偏析していると考えられる。従ってソース/ドレイン領域にPに代表される元素をドーブしてゲッタリングを行う方法において

は、できる限り余計な不純物元素は存在しない方が好ましい。トランジスタの接合近傍の不純物元素を除去もしくは低減することが、本発明が解決しようとする課題である。

【0006】

【課題を解決するための手段】上記問題点を解決するために、本願発明者は、ゲッタリングを行う為にPに代表される元素をドーブしたソース/ドレインが形成される領域において、Pに代表される元素の濃度分布に勾配をつけることで、結晶化を促進させる金属を移動させることを考えた。すなわち、ソース/ドレインが形成される領域で、かつ、接合領域に近い部分のPに代表される元素の濃度に対して、ソース/ドレイン領域で、かつ接合領域から離れた部分のPに代表される元素の濃度を高くすることで、ソース/ドレイン近傍の結晶化を促進させる金属を、接合領域から離れたPが多く存在している領域へ移動できると考えた。

【0007】しかし、そのためには、Pに代表される元素をドーブしたソース/ドレインが形成される領域において、Pに代表される元素の濃度分布が勾配をもつときに、結晶化を促進させる金属が移動するか、しないのかを確かめる必要があった。図2はガラス基板上に成膜した非晶質珪素膜に結晶化を促進する金属Mを導入し550℃、8時間熱処理することで、結晶化を行い、更にゲッタリング効果のあるPを10kVの加速電圧でイオン注入し、ゲッタリングの為の熱処理を600℃12時間行ったサンプルのP濃度およびM濃度を示すSIMS分析結果である。Pをイオン注入するとPは深さ方向におおよそガウス関数で記述される濃度分布をとる。従って、深さ方向に対して、Pの濃度勾配が形成された多結晶珪素膜中のMの移動を調べることができた。またリファレンスのためのゲッタリング処理を行っていないサンプルの、膜中のM濃度分布は、ほぼ均一で 3×10^{14} atoms/cm²であった。

【0008】図2をみると、MはP濃度が高い深さのところに多く存在し、ゲッタリング処理を行っていないサンプルとの比較から、MがPの多い深さまで移動したことがわかる。Mはゲッタリングの為の熱処理によってPが高濃度の領域によりたくさん移動し、多結晶珪素膜中のMプロファイルの形は、Pのプロファイルの形を追随したものとなっている。すなわちPがドーブされているソース/ドレインが形成される領域においても、効果的にMを除去もしくは低減できることがわかった。従ってPに代表される元素の濃度勾配を利用して、ソース/ドレインの接合領域近傍の、結晶化を促進する金属を効果的に除去または低減させることが可能である。2. 発明のSIB

(4)

特開2001-189459

5

5

【０００９】本願発明の構成を、図１を用いて説明する。基板１０は、ガラス基板や石英基板である。基板１０上にはチャネル形成領域１０７と、前記チャネル形成領域１０７の外側に第１の不純物領域１０１、１１１と、更にその外側に第２の不純物領域１０２、１１２が形成されている。前記第１の不純物領域１０１、１１１には一導電型の不純物元素を第１の濃度で導入し、前記第２の不純物領域１０２、１１２には前記導電型と同型の不純物元素を第２の濃度で導入する。前記チャネル形成領域は結晶化を促進する金属Niを用いて結晶化を行ったものとする。チャネル形成領域の上には、絶縁膜１０４が形成され、さらに前記絶縁膜１０４を介して、前記チャネル形成領域１０７と対向してゲート電極１０５が形成されている。前記第１の不純物領域１０１、１１１と前記第２の不純物領域１０２、１１２を合わせた領域が、ソース／ドレイン領域の全体、もしくは一部分となる。前記絶縁膜１０４はソース／ドレイン領域の上にも形成されていてもよい。またＬＤＤ領域やオフセット領域が形成されている場合には、前記チャネル形成領域と不純物領域との間に、ＬＤＤ領域やオフセット領域を挟むようにして、前記第１の不純物領域１０１、１１１と前記第２の不純物領域１０２、１１２が形成されるものとする。

【0010】本願発明の構成は前記第1の不純物領域101,111における第1の濃度よりも、前記第2の不純物領域102,112における第2の濃度の方が大きいことを特徴とする。本願発明は、具体的には前記第1の濃度が、 1×10^{19} atoms/cm³ ~ 5×10^{19} atoms/cm³であり、前記第2の濃度は、前記第1の濃度の1.2倍から1000倍であることを特徴とする。本願発明の構成は図1に示すようなチャネル形成領域の両側で構成されるものでもよいし、片側のみで構成されるものであってもよい。すなわち、たとえばドレイン領域の接合近傍の不純物をゲッタリングしたいときには、ドレイン側にのみ、前記第1の不純物領域と前記第2の不純物領域を形成してもよい。

【0011】本願発明の別の構成は、前記第1の不純物領域101, 111には一導電型の不純物元素を第1の濃度で導入し、前記第2の不純物領域には、前記第1の不純物領域に導入した不純物元素と同型の導電型を与える不純物元素を、前記第1の濃度で導入し、かつ前記一導電型と反対の伝導型の不純物元素を第2の濃度で導入するものである。この構成は、前記第2の濃度よりも、前記第1の濃度の方が大きいことを特徴とする。前記第2の不純物領域に導入された反対の伝導型の不純物元素は、ソース/ドレイン形成の爲ではなく、ゲッタリングの爲に導入されている。本願発明は具体的には、前記第2の濃度が、 1×10^{17} atoms/cm³ ~ 1×10^{19} atoms/cm³ であること

RCVD AT 8/2/2005 2:01:23 AM [Eastern Daylight Time] * SVR:USPTO-EFX

域に導入すれば、Feを接合領域近傍から効果的にグッチリングできる。

【0012】本願発明のさらに別の構成を、図3を用いて説明する。基板303は、ガラス基板や石英基板である。基板303上にはチャネル形成領域307と、前記チャネル形成領域307の外側に第3の不純物領域301、311が形成されている。本願発明の別の構成は、前記第3の不純物領域は一導電型の不純物元素を含み、前記第3の不純物領域に含まれる前記不純物元素濃度が、前記チャネル形成領域から遠ざかるにつれて、第3の濃度から第4の濃度まで連続的に増加することの特徴とする。前記チャネル形成領域は結晶化を促進する金属剤を用いて結晶化を行ったものとし、チャネル形成領域の上には、絶縁膜304が形成され、さらに前記絶縁膜304を介して、前記チャネル形成領域307と対向してゲート電極305が形成されている。前記絶縁膜304はソース／ドレイン領域の上にも形成されていてよい。またチャネル形成領域と第3の不純物領域の間にLC領域やオフセット領域が形成されていてよい。

20 【0013】本願発明の別の構成は、具体的には前記第30の濃度が、 1×10^{17} atoms/cm³ ~ 5×10^{17} atoms/cm³ であり、前記第40の濃度は、前記第30の濃度の1.2倍から100倍であることを特徴とする。本願発明の構成は図3に示すようなチャネル形成領域の両側で構成されるものでもよいし、片側のみで構成されるものであってもよい。すなわち、たとえばドレイン領域の接合近傍の不純物をウッタリングしたいときには、ドレイン側にのみ、前記第30の不純物領域を形成してもよい。

【0014】前記濃度に関して、厳密な説明をしておく。一般的に不純物の蒸散散やイオン打ち込みによって不純物を導入した場合、活性層中の不純物濃度は活性層中の深さによって濃度が異なり、不均一な濃度分布をもつ。ここでいう濃度とは活性層中の深さ方向の濃度分布を平均した値とする。

【0015】以上の3つの構成は、結晶化を促進する金属Mを用いて、チャネル形成領域の結晶化を行い、接合近傍の、Mを除去または減少させる方法を説明したものであるが、この方法は、結晶化を促進させる他の金属のゲッタリングにおいても適用されるものであるし、また結晶化を促進する金属を使用しない、通常の多結晶膜、非晶質膜、単結晶珪素膜を活性層としたトランジスタにおける、深い単位を形成する不純物元素のゲッタリングにおいても適用されるものである。すなわち3d遷移金属等(Fe, Co, Ru, Rh, Pd, Os, Ir, Pt, Cu, Au)を、トランジスタの接合領域近傍から除去もしくは減少することができ

7

導電型を与える不純物元素を導入し、その濃度分布を形成することによって実施できる。この濃度分布は連続的に変化するものであってもよいし、不連続に変化するものであってもよい。以下、この濃度分布の形成方法についての説明を行う。

【0018】まずレジストマスクや酸化膜マスク等、もしくはゲートメタルマスクを利用して、ドーピング行程を複数回行う方法が考えられる。この方法は製造工程が増えるが、コンタクトホール形成後に、ソース/ドレイン領域に前記一導電型を与える不純物元素をドーピングすれば、製造工程を増やすことなく、接合近傍のゲッタリングが可能となる。

【0019】その他の方法として、段差、もしくは傾斜をもつ酸化膜マスクをソース/ドレイン上に形成し、前記一導電型を与える不純物元素をイオン注入する方法がある。これは深さ方向における、注入イオンの濃度分布の違いを利用したものであり、ドーピング行程が一度で済む。この方法は後に実施例で説明を行う。

【0020】[実施の形態1]

【0021】本発明の実施形態を、図4～図8を用いて説明する。ここでは図素マトリクス回路とその周辺に設けられる制御回路のTFTを同時に作製する場合を例に、本発明を用いて、結晶化を促進する金属Niを接合近傍から除去する方法を行程順に説明する。但し、説明を簡単にするために、制御回路ではシフトレジスタ回路、バッファ回路などの基本回路であるCMOS回路と、サンプリング回路を形成するnチャネル型TFTとを図示することにする。

【0022】図4(A)において、基板201として、低アルカリガラス基板や石英基板を用いることができる。本実施例では低アルカリガラス基板を用いるが、ガラスを用いる場合、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理しておいてもよい。その他にもシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを基板としてもよい。耐熱性が許せばプラスチック基板を用いることも可能である。基板201の、TFTを形成する表面には、基板201からの不純物拡散を防止するため、酸化シリコン膜、窒化シリコン膜、または酸化窒化シリコン膜などの下地膜202を、例えば、 SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜をプラズマCVD法で100nm、同様に SiH_4 、 N_2O から作製される酸化窒化シリコン膜を200nmの厚さに積層形成する。

【0023】次に、非晶質構造を有する半導体膜203aを、プラズマCVD法やスパッタ法などの公知の方法

(5)

特開2001-189459

8

などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜202と非晶質シリコン膜203aは、同じ製膜法で形成することが可能なため、両者を連続形成しても良い。こうすると下地膜の形成後、一旦大気雰囲気にはさまないことでその表面の汚染を防ぐことが可能となり、作製するTFTの特性ばらつきやしきい電圧の変動を低減させることができる。(図2(A))

【0024】そして、公知の結晶化技術を使用して、非晶質シリコン膜203aを結晶化し、結晶化シリコン膜203bを形成する。結晶化技術としては、例えばレーザー結晶化法や熱結晶化法(固相成長法)を適用すればよいが、ここでは、特開平7-130652号公報で開示された技術に従って、結晶化を促進する金属Niを用いる結晶化法で結晶質シリコン膜203bを形成する。結晶化の工程に先立って、非晶質シリコン膜の含有水素量にもよるが、400～500℃で1時間程度の熱処理を行い、含有水素量を5atm%以下にしてから結晶化させることが望ましい。非晶質シリコン膜を結晶化させると原子の再配列が起り緻密化するので、作製される結晶質シリコン膜の厚さは、結晶化前の、非晶質シリコン膜の厚さ(本実施例では55nm)よりも1～15%程度減少する。(図2(B))

【0025】そして、結晶質シリコン膜203bを島状に分割して、島状半導体層204～207を形成する。その後、プラズマCVD法またはスパッタ法により50～100nmの厚さの酸化シリコン膜によるマスク層208を形成する。(図4(C))

【0026】その後レジストマスク209を設け、nチャネル型TFTを形成する島状半導体層205～207の全面にしきい値電圧を制御する目的で、 $1 \times 10^{11} \sim 5 \times 10^{17} \text{ atoms/cm}^2$ 程度の濃度で、p型半導体層を形成する不純物であるBを添加する。Bの添加はイオンドーピング法で行ってもよいし、非晶質珪素膜を製膜するときと同時に添加しておくこともできる。ここでのB添加は必ずしも必要でないが、Bを添加した半導体層210～212はnチャネル型TFTのしきい値電圧を所定の範囲内に収めるために形成することが好ましい。(図4(D))

【0027】駆動回路のnチャネル型TFTのLDD領域を形成するため、n型半導体層を形成する不純物元素を島状半導体層210、211に選択的に添加する。そのため、あらかじめレジストマスク213～216を形成した。n型不純物元素としては、PやAsを用いればよい。ここではPを添加すべく、フォスフィン(PH_3)を用いたイオンドーピング法を適用するものとする。形成さ

9

領域を形成するための半導体層であり、この領域にも同じ濃度でPを添加する。(図4(E))

【0028】次に、マスク層208をフッ酸などにより除去して、図4(E)で添加した不純物元素を活性化させる行程を行う。活性化は、窒素雰囲気中において、500~600℃で1~4時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用して行ってもよい。(図5(A))

【0029】そして、ゲート絶縁膜220をプラズマCVD法またはスパッタ法を用いて10~150nmの厚さでシリコンを含む絶縁膜で形成する。例えば、120nmの厚さで酸化窒化シリコン膜を形成する。ゲート絶縁膜には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。(図5(A))

【0030】次に、ゲート電極を形成するために第1の導電層を製膜する。この第1の導電層は単層で形成してもよいが、必要に応じて二層あるいは三層といった積層構造としても良い。本実施例では、導電性の窒化物金属膜からなる導電層(A)221と金属膜からなる導電層(B)222とを積層させる。導電層(B)222はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜)で形成すれば良く、導電層(A)221は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)、窒化モリブデン(MoN)で形成する。また、導電層(A)221は代替材料として、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層(B)は低抵抗化を図るために含有する不純物濃度を低減させると良く、特に酸素濃度に関しては30ppm以下にすると良い。例えば、タングステン(W)は酸素濃度を30ppm以下とすることで20μΩcm以下の比抵抗値を実現することができる。

【0031】導電層(A)221は10~50nm(好ましくは20~30nm)とし、導電層(B)222は200~400nm(好ましくは250~350nm)とすれば良い。スパッタ法による製膜では、スパッタ用のガスのArに適量のXeやKrを加えておくこと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。尚、図示しないが、導電層(A)221の下に2~20nm程度の厚さでPをドーピングしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層(A)または導電層(B)が微量に含有する

アルカリ金属元素がゲート絶縁膜120に拡散するのを

(5)

特開2001-189459

10

線232を形成する。ゲート電極228~231と容量配線232は、導電層(A)と、導電層(B)とが一体として形成されている。この時、駆動回路に形成するゲート電極229、230は不純物領域217、218の一部と、ゲート絶縁膜220を介して重なるように形成する。(図5(C))

【0033】そして、ゲート電極および容量配線をマスクとして、ゲート絶縁膜220をエッチングし、少なくともゲート電極の下にゲート絶縁膜233~236を形成するようにして、島状半導体層の一部を露出させる。(このとき、容量配線の下にも絶縁膜237が形成される。)これは、後の工程でソース領域またはドレイン領域を形成するための不純物元素を添加する工程において、不純物元素を効率良く添加するために実施するものであり、この工程を省略して、ゲート絶縁膜を島状半導体層の全面に形成させておいても構わない。(図5(D))

【0034】次いで、制御回路のpチャネル型TFTのソース領域およびドレイン領域を形成するために、p型を付与する不純物元素を添加する工程を行う。ここでは、ゲート電極228をマスクとして、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTが形成される領域はレジストマスク238で被覆しておく。そして、ジボラン(B₂H₆)を用いたイオンドーピング法で不純物領域239を形成する。この領域のP濃度は $3 \times 10^{19} \sim 3 \times 10^{21}$ atoms/cm²となるようにする。本明細書中では、ここで形成された不純物領域239に含まれるp型を付与する不純物元素の濃度を(p+)と表す。(図6(A))

【0035】次に、nチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する不純物領域の形成を行う。ゲート電極およびpチャネル型TFTとなる領域を覆う形でレジストマスク240~242を形成し、n型を付与する不純物元素を添加して不純物領域243~247を形成する。これは、フォスフィン(Pt₂)を用いたイオンドーピング法で行い、この領域のP濃度を $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm²とする。本明細書中では、ここで形成された不純物領域217~218に含まれるn型を付与する不純物元素の濃度を(n+)と表す。(図(B))

【0036】不純物領域243~247には、既に前工程で添加されたPまたはBが含まれているが、それに対して十分に高い濃度でPが添加されるので、前工程で添加されたPまたはボロンBの影響は考えなくても良い。また、不純物領域243に添加されたP濃度は図6(A)で

示された濃度の1/2~1/3程度の濃度の不純物

11

Bの濃度の方が大きい。本願発明者によって、チャネル形成領域の結晶化を促進する金属Mをゲッタリングでできることが明らかにされている。

【0037】次に、レジストマスクを除去して、画素マトリクス回路のnチャネル型TFTのLDD領域を形成するためにn型を付与する不純物添加の工程を行う。ここで添加するPの濃度は $1 \times 10^{19} \sim 5 \times 10^{19}$ atoms/cm²であり、図4(E)および図6(A)、(B)で添加する不純物元素の濃度よりも低濃度で添加することで、不純物領域249、250が形成される。本明細書中では、ここで形成された不純物領域に含まれるn型を付与する不純物元素の濃度を(n-)と表す。(図6(C))

【0038】そして、第1の層間絶縁膜の一部となる保護絶縁膜251を形成する。保護絶縁膜251は窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は100~400 nmとすれば良い。

【0039】さらに保護絶縁膜251の上に500~1500 nmの厚さの層間絶縁膜252を形成する。前記保護絶縁膜251と層間絶縁膜252とでなる積層膜を第1の層間絶縁膜とする。その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールを形成する。(図7)

【0040】次に、コンタクトホール形成によって第1の層間絶縁膜が除去された、ソース領域またはドレイン領域にPを添加する。Pの添加はフォスフィン(PH₃)を用いたイオンドープ法で行い、この領域のP濃度を $4 \times 10^{19} \sim 1 \times 10^{20}$ atoms/cm²とする。Pのイオンドープは結晶化を促進する金属Mを、接合近傍から削減もしくは低減させるために行う。ゲッタリングを効率よく行うためには、コンタクトホールの位置は接合部に近いほどよく、コンタクトホールの面積も大きい方がよい。(図7)

【0041】その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために450℃~600℃の温度で熱処理工程を行う。この熱処理によって、チャネル形成領域の結晶化を促進する金属Mはソースまたはドレイン領域に移動し、更にP濃度の高い、コンタクトホールを通してPドープを行った領域に移動する。また接合領域のMもコンタクトホールを通してPドープを行った領域に移動し、接合領域近傍のMを削減もしくは低減することができる。この工程はファーストアニール法、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)で行うことができる。

(7)

特開2001-189459

12

ラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0043】活性化工程を終えたら、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールに、ソース配線253~256と、ドレイン配線257~259を形成する。

【0044】次に、パッシベーション膜260として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を50~500 nm(代表的には100~300 nm)の厚さで形成する。この状態で水素化処理、あるいはプラズマ水素化を行っても良い。(図8(A))

【0045】その後、有機樹脂からなる第2の層間絶縁膜261を1.0~1.5 μmの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。そして、第2の層間絶縁膜261にドレイン配線259に達するコンタクトホールを形成し、画素電極262を形成する。画素電極262は、透過型液晶表示装置とする場合には透明導電膜を用いれば良く、反射型の液晶表示装置とする場合には金属膜を用いれば良い。(図8(B))

【0046】こうして同一基板上に、制御回路と画素マトリクス回路とを有したアクティブマトリクス基板が形成できる。制御回路にはpチャネル型TFT 285、第1のnチャネル型TFT 286、第2のnチャネル型TFT 287、画素マトリクス回路にはnチャネル型TFT 288でなる画素TFTが形成できる。

【0047】制御回路のpチャネル型TFT 285には、チャネル形成領域263、ソース領域264、ドレイン領域265を有している。第1のnチャネル型TFT 286には、チャネル形成領域266、Lo領域267、ソース領域268、ドレイン領域269を有している。第2のnチャネル型TFT 287には、チャネル形成領域270、LDD領域271、272、ソース領域273、ドレイン領域274を有している。画素マトリクス回路のnチャネル型TFT 288には、チャネル形成領域275、276、Loff領域277~280を有している。Loff領域はゲート電極に対してオフセット形成され、オフセット領域の長さは0.02~0.2 μmである。さらに、ゲート電極と同時に形成される容量配線232と、ゲート絶縁膜と同じ材料から成る絶縁膜と、nチャネル型TFT 288のドレイン領域283に接続するn型を付与する不純物元素が添加された半導体層284とから保持容量289が形成されている。図8(B)では画素マトリクス回路のnチャネル型TFT 287を

13

物元素を、不均一な濃度分布に形成する方法についての説明のみ行う。またLDD等の形成に関しては、実施の形態1で、詳しく説明を行ったので、以下の実施例では省略する。

【0049】

【実施例】[実施例1]実施例1では、レジストマスクや酸化膜マスク等、もしくはゲートメタルマスクを利用して、ドーピング行程を複数回行う方法について説明を行う。

【0050】図9(A)において、基板903は、ガラス基板や石英基板であり、下地膜908は、珪素（シリコン）を含む絶縁膜からなる。下地膜の上には島状半導体層が形成されている。この半導体層は、プラズマCVDを用いて非晶質珪素膜を成膜したものを、特開平7-130652号公報で開示された技術に従って、結晶化するものである。更に島状半導体層の上には公知の方法によって、ゲート絶縁膜901、904とゲート電極902、905が形成されている。

【0051】次にnチャネル型TFTとなる領域を覆う形でレジストマスク902を形成し、p型を付与する不純物元素Bを添加して不純物領域909、910を形成する。この領域のB濃度は $3 \times 10^{19} \sim 3 \times 10^{21} \text{ atoms/cm}^2$ となるようにする。（図9(A））

【0052】次にpチャネル型TFTとなる領域を覆う形でレジストマスク919を形成し、n型を付与する不純物元素Pを添加して不純物領域912、913を形成する。この領域のP濃度を $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^2$ とする（図9(B））

【0053】次にゲート電極とソース/ドレインが形成されることとなる領域の一部分に、レジストマスク920、921を形成し、n型を付与する不純物元素Pを添加して不純物領域915～918を形成する。この領域のP濃度を $4 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^2$ とする（図9(C））

【0054】後に熱活性化とゲッタリングを兼ねた熱処理を行うことにより、チャネル形成領域911および914に存在している不純物元素Mを、ソース/ドレイン領域に移動させることができ、更に接合近傍の不純物元素Mを、Pが最も多くドーピングされた不純物領域915～918に移動させることができる。

【0055】この方法ではPが多くドーピングする不純物領域915～918を接合近傍まで近づけることができる。またこの方法に、更にコンタクトホールを利用したPドーピングを行い、濃度差を3段階にしたゲッタリングを行ってもよい。

【0056】[実施例2]実施例2では、ゲート酸化膜を

(8)

特開2001-189459

14

【0057】図10(A)において、基板1003は、ガラス基板や石英基板であり、下地膜1008は、珪素（シリコン）を含む絶縁膜からなる。下地膜の上には島状半導体層が形成されている。この半導体層は、プラズマCVDを用いて非晶質珪素膜を成膜したものを、特開平7-130652号公報で開示された技術に従って、結晶化するものである。更に島状半導体層の上には公知の方法によって、ゲート絶縁膜1004が全面に形成され、その上に公知の方法によってエッチングされたゲート電極1002、1005が形成されている。ここでnチャネル型TFTのゲート電極全体を覆い、かつ島状半導体層の一部を残す形でレジストマスク1003を形成し、ゲート絶縁膜をエッチングする。（図10(A））

【0058】次にnチャネル型TFTとなる領域を覆う形でレジストマスク1014を形成し、p型を付与する不純物元素Bを添加して不純物領域1011、1012を形成する。この領域のB濃度は $3 \times 10^{19} \sim 3 \times 10^{21} \text{ atoms/cm}^2$ となるようにする。（図10(B））

【0059】次にpチャネル型TFTのゲート電極全体を覆い、かつ島状半導体層の一部を残す形でレジストマスク1022を形成し、n型を付与する不純物元素Pを添加して不純物領域1015～1020を形成する。この領域のP濃度を $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^2$ とする（図10(C））

【0060】従って、不純物領域1015、1016、1019、1020にはPが高濃度でドーピングされ、1017、1018には低濃度でドーピングされることになる。従って熱処理後には、チャネル形成領域1013、1021の不純物元素MはPをドーピングした領域に移動し、接合近傍のMも高濃度にPをドーピングした不純物領域1015、1016、1019、1020に移動する。従って接合近傍から効率的にMを除去もしくは低減することができる。ここでの低濃度、高濃度というのは、2つの領域の濃度を比較して表現しているのであって、低濃度でドーピングした領域は通常のソース/ドレインにドーピングする不純物量と同程度とする。

【0061】この方法に、更にコンタクトホールを利用したPドーピングを行い、ゲッタリングを行ってもよい。

【0062】[実施例3]実施例3では、ウェットエッチングを用いることで、ゲート絶縁膜に傾斜を形成し、ドーピングを行うことで、ドーピングする不純物量を制御する方法の説明を行う。この方法も実施例2と同様イオンドーピングを用いた不純物注入において深さ方向の濃度プロファイルを利用したものである。この例ではドーピングするPの濃度分布は連続的に変化することとなる。

【0063】図11(A)において、基板1103は、ガラス基板や石英基板であり、下地膜1108は、珪素（シリコン）を含む絶縁膜からなる。下地膜の上には島状半導体層が

15

て、ゲート絶縁膜1104が全面に形成され、その上に公知の方法によってエッチングされたゲート電極1102、1105が形成されている。ここでnチャネル型TFTとpチャネル型TFTのゲート電極全体を覆い、かつ島状半導体層の全部または一部を残す形でレジストマスク1111、1112を形成し、ゲート絶縁膜をウェットエッチングする。

(図11(A))

【0064】次にnチャネル型TFTとなる領域を覆う形でレジストマスク1115を形成し、p型を付与する不純物元素Bを添加する。この領域のB濃度は $3 \times 10^{19} \sim 3 \times 10^{21} \text{ atoms/cm}^2$ となるようにする。(図11(B))

【0065】次にpチャネル型TFTのゲート電極全体を覆い、かつ島状半導体層の一部を残す形でレジストマスク1124を形成し、n型を付与する不純物元素Pを添加して不純物領域1116～1119を形成する。この領域のPは、ゲート絶縁膜の傾斜による厚さを考慮して、ゲートから離れるに従いドーピング量が増加するように、イオン注入を行えばよい。(図11(C))

【0066】従って、不純物領域1116～1119はゲート電極から遠ざかるほどP濃度が高くなっている。従って熱処理後には、チャネル形成領域1122、1123の不純物元素nはPをドーピングした領域に移動し、接合近傍のnも高濃度にPをドーピングした不純物領域のよりゲートから遠い部分に多く移動する。従って接合近傍から効果的にnを除去もしくは低減することができる。ここでの低濃度、高濃度というのは、2つの領域の濃度を比較して表現しているのであって、低濃度でドーピングした領域は通常のソース/ドレインにドーピングする不純物量と同程度とする。

【0067】[実施例4]本実施例では、アクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図12に示すように、実施の形態1で作製できる図8(B)の状態のアクティブマトリクス基板に対し、配向膜601を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の対向基板602には、透光膜603、透明導電膜604および配向膜605を形成した。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにする。そして、画素マトリクス回路と、CMOS回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ(共に図示せず)などを介して貼りあわせる。その後、両基板の間に液晶材料606を注入し、封止剤(図示せず)によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。このようにしてアクティブマトリクス型液晶表示装置が完成する。

(9)

特開2001-189459

16

た、図14で示す1'に沿った断面構造は、図8(B)に示す画素マトリクス回路の断面図に対応している。

【0069】アクティブマトリクス基板は、ガラス基板201上に形成された、画素マトリクス回路701と、走査信号制御回路702と、画像信号制御回路703で構成される。画素マトリクス回路にはnチャネル型TFT288が設けられ、周辺に設けられるドライバー回路はCMOS回路を基本として構成されている。走査信号制御回路702と、画像信号制御回路703はそれぞれゲート配線231(ゲート電極に接続し、延在して形成される意味で同じ符号を用いて表す)とソース配線256で画素マトリクス回路のnチャネル型TFT288に接続している。また、FPC731が外部入出力端子734に接続される。

【0070】図14は画素マトリクス回路701の一部(ほぼ一画素分)を示す上面図である。ゲート配線231は、図示されていないゲート絶縁膜を介してその下の活性層と交差している。図示はしていないが、活性層には、ソース領域、ドレイン領域、n-領域でなるLoff領域が形成されている。また、290はソース配線256とソース領域281とのコンタクト部、292はドレイン配線259とドレイン領域283とのコンタクト部、292はドレイン配線259と画素電極262のコンタクト部である。保持容量289は、nチャネル型TFT288のドレイン領域から延在する半導体層284とゲート絶縁膜を介して容量配線232が重なる領域で形成される。

【0071】なお、本実施例のアクティブマトリクス型液晶表示装置は、以下の実施例のいずれの構成とも自由に組み合わせることでアクティブマトリクス型液晶表示装置を作製することができる。

【0072】[実施例5]本発明はアクティブマトリクス型EL表示装置に適用することが可能である。図15はアクティブマトリクス型EL表示装置の回路図である。画素マトリクス回路11の周辺にはX方向制御回路12、Y方向制御回路13が設けられている。画素マトリクス回路11の各画素は、スイッチ用TFT14、コンデンサ15、電流制御用TFT16、有機EL素子17を有し、スイッチ用TFT14にX方向信号線18a、Y方向信号線20aが接続され、電流制御用TFTには電源線19aが接続される。

【0073】本発明のアクティブマトリクス型EL表示装置では、X方向制御回路12、Y方向制御回路13または電流制御用TFT17に用いられるTFTを図8(B)のpチャネル型TFT285、nチャネル型TFT

288、またはnチャネル型TFT287を組み合わせる

(10)

特開2001-189459

17

30のいずれの構成を組み合わせても良い。

【0075】[実施例6]本発明を実施して作製された画素マトリクス回路や制御回路を同一の基板上に一体形成したアクティブマトリクス基板は、さまざまな電気光学装置（アクティブマトリクス型液晶表示装置、アクティブマトリクス型EL表示装置、アクティブマトリクス型EC表示装置）に用いることができる。即ち、これらの電気光学装置を表示部として組み込んだ電子機器全てに本発明を実施できる。

【0076】そのような電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯電話または電子書籍などが上げられる。それらの一例を図16に示す。

【0077】図16(A)は携帯電話であり、本体9001、音声出力部9002、音声入力部9003、表示部9004、操作スイッチ9005、アンテナ9006から構成されている。本発明はアクティブマトリクス基板を備えた表示部9004に適用することができる。

【0078】図16(B)はビデオカメラであり、本体9101、表示部9102、音声入力部9103、操作スイッチ9104、バッテリー9105、受像部9106から成っている。本発明はアクティブマトリクス基板を備えた表示部9102に適用することができる。

【0079】図16(C)はモバイルコンピュータであり、本体9201、カメラ部9202、受像部9203、操作スイッチ9204、表示部9205で構成されている。本発明はアクティブマトリクス基板を備えた表示部9205に適用することができる。

【0080】図16(D)はゴーグル型ディスプレイであり、本体9301、表示部9302、アーム部9303で構成される。本発明は表示部9302に適用することができる。また、表示されていないが、その他の信号制御用回路に使用することもできる。

【0081】図16(E)はリア型プロジェクターであり、本体9401、光源9402、表示装置9403、偏光ビームスプリッタ9404、リフレクター9405、9406、スクリーン9407で構成される。本発明は表示装置9403に適用することができる。

【0082】図16(F)は携帯音楽機であり、本体9501、表示部9502、9503、記憶媒体9504、操作スイッチ9505、アンテナ9506から構成されており、ミニディスク(MD)やDVDに記憶されたデータや、アンテナで受信したデータを表示するものであ

18

も可能である。このように、本発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～5のどのような組み合わせから成る構成を用いても実現することができる。

【発明の効果】本発明を用いることで、トランジスタのチャネル形成領域とソースおよびドレイン領域の境界近傍における不純物を除去もしくは低減でき、半導体装置（ここでは具体的に電気光学装置）の動作性能や信頼性を大幅に向上させることができる。

【図面の簡単な説明】

【図1】 課題を解決する手段を模式的に示す図。

【図2】 SIMS分析結果を示す図。

【図3】 課題を解決する手段を模式的に示す図。

【図4】 画素マトリクス回路、制御回路の作製工程を示す断面図。

【図5】 画素マトリクス回路、制御回路の作製工程を示す断面図。

【図6】 画素マトリクス回路、制御回路の作製工程を示す断面図。

【図7】 画素マトリクス回路、制御回路の作製工程を示す断面図。

【図8】 画素マトリクス回路、制御回路の作製工程を示す断面図。

【図9】 実施例1のTFT作成行程を示す図。

【図10】 実施例2のTFT作成行程を示す図。

【図11】 実施例3のTFT作成行程を示す図。

【図12】 アクティブマトリクス型液晶表示装置の断面構造図。

【図13】 アクティブマトリクス型液晶表示装置の斜視図。

【図14】 画素マトリクス回路の上面図。

【図15】 アクティブマトリクス型EL表示装置の回路図。

【図16】 半導体装置の一例を示す図。

【符号の説明】

210～212, 284, 301, 311 半導体層

204～207, 210, 211 島状半導体層

209, 213～216, 223～227, 238, 240～242, 919～922 レジストマスク

1014, 1022, 1023, 1111, 1112, 1115, 1124 レジストマスク

105, 305, 228～231, 902, 905, 1002, 1005, 1102, 1105 ゲート電極

104, 304, 220, 233～235, 901, 904, 1004, 1104 ゲート絶縁膜

(11)

特開2001-189459

19

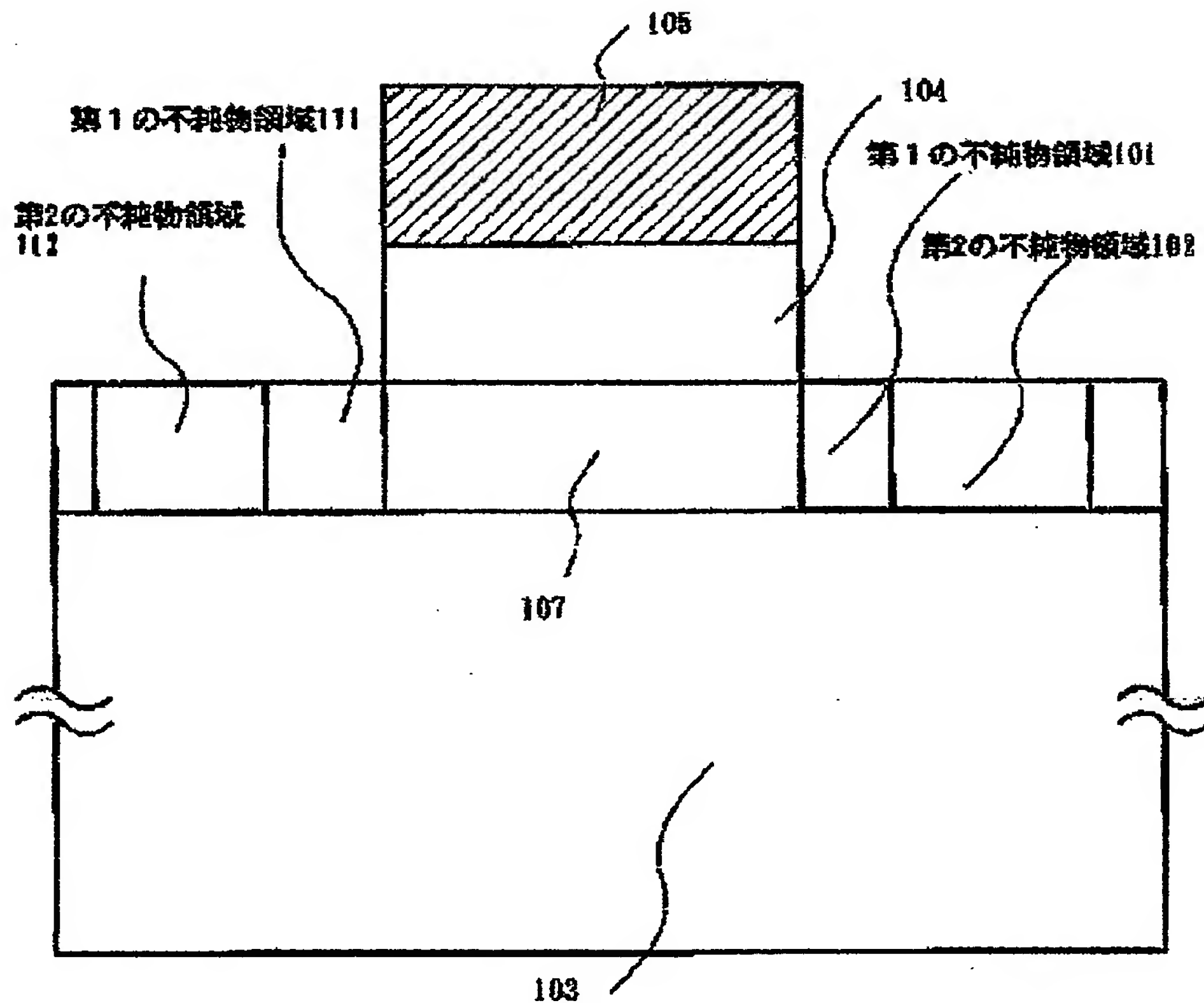
20

102, 112 第2の不純物領域
 301, 311 第3の不純物領域
 203a 非晶質シリコン膜
 203b 結晶化シリコン膜
 208 マスク層
 221 導電層(A)
 222 導電層(B)
 232 容量配線
 237 絶縁膜
 251 保護絶縁膜
 252 層間絶縁膜

* 260 パッシベーション膜
 261 第2の層間絶縁膜
 262 固素電極
 267 L_{ov}領域
 277~280 L_{off}領域
 603 遮光膜
 604 透明導電膜
 606 液晶材料
 290, 292 コンタクト部
 10 232 容量配線

*

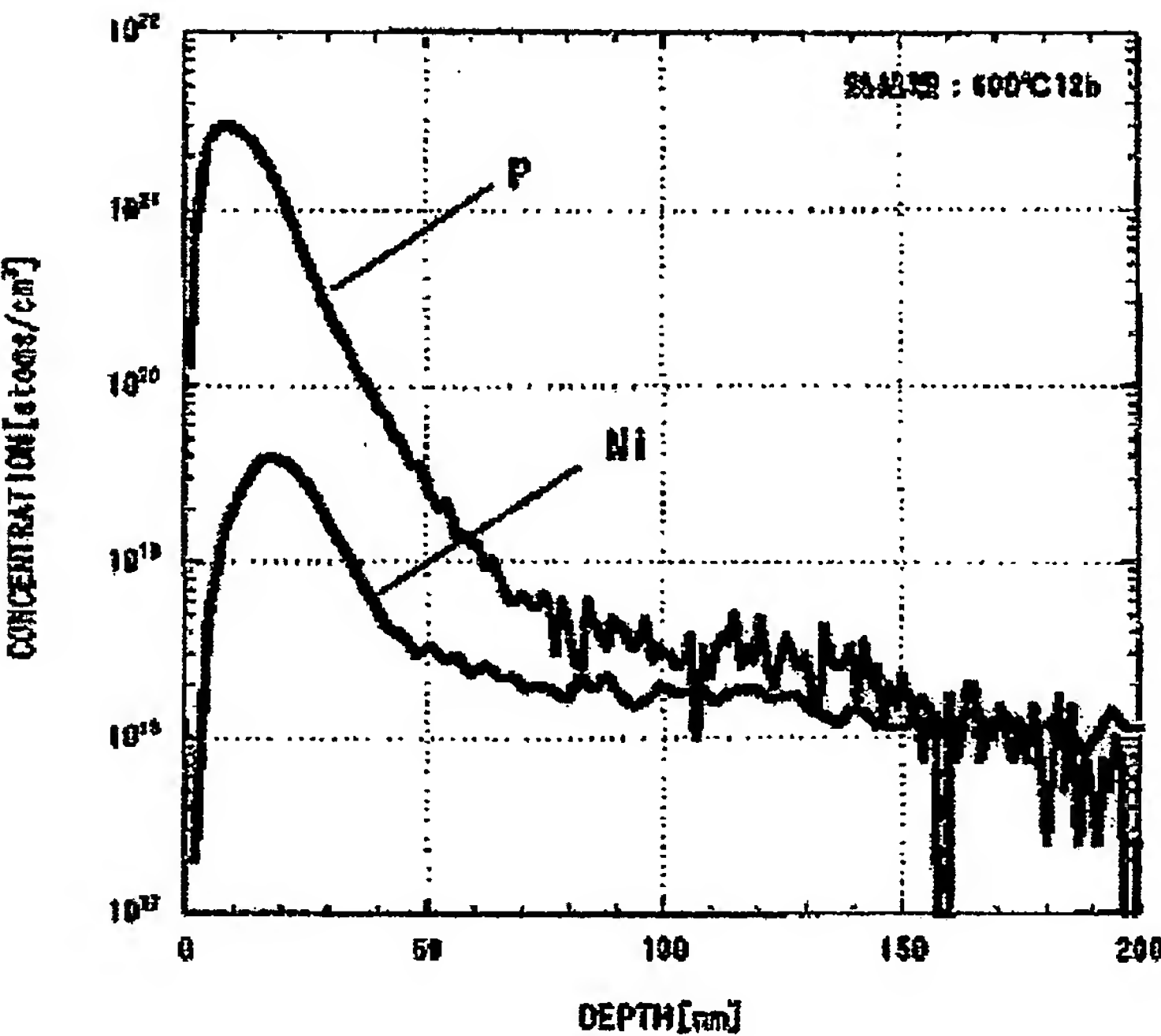
【図1】



(12)

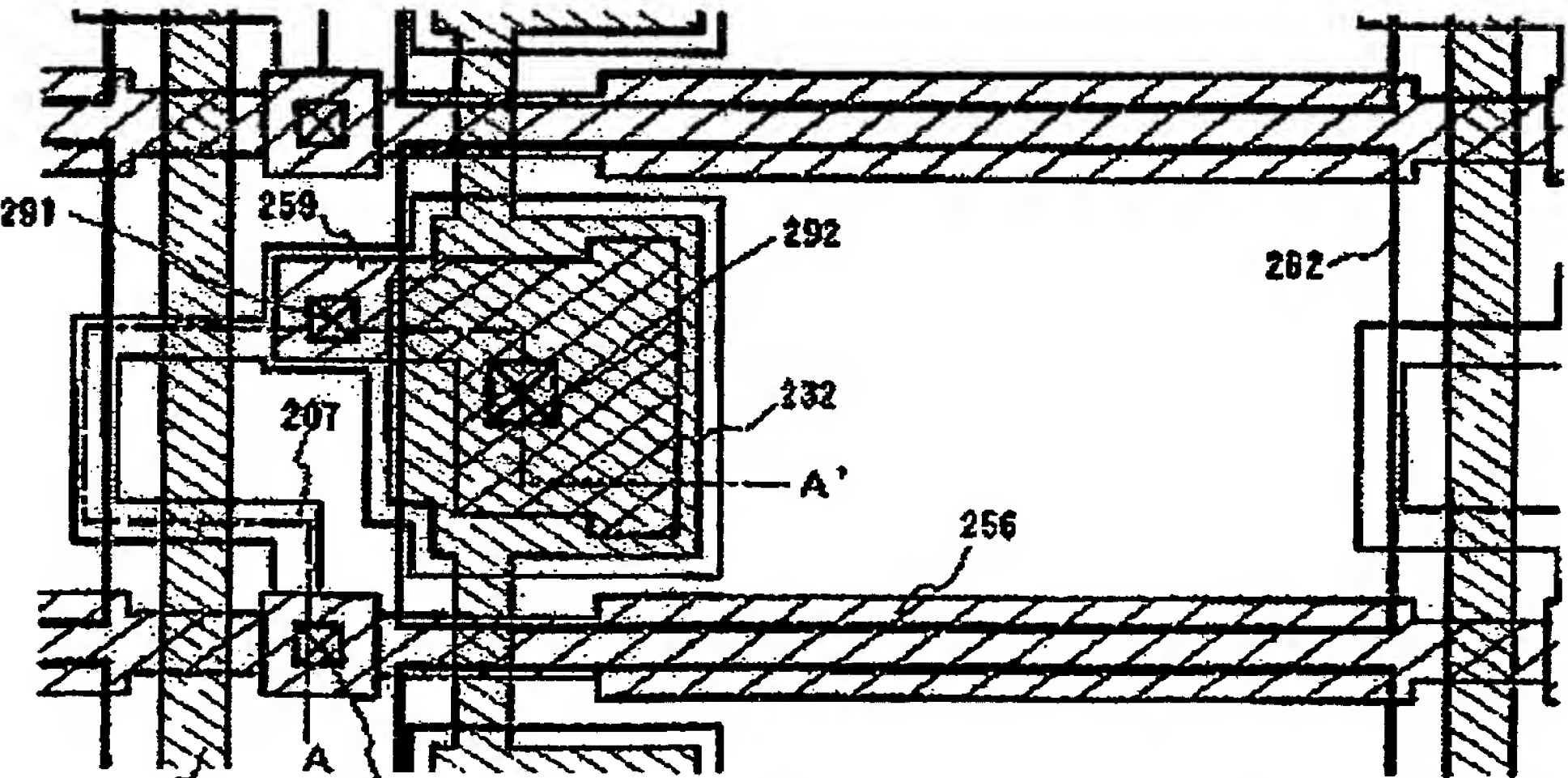
特開 2001-189459

【図 2】



SIMS分析による熱処理後のPとNiのデプスプロファイル

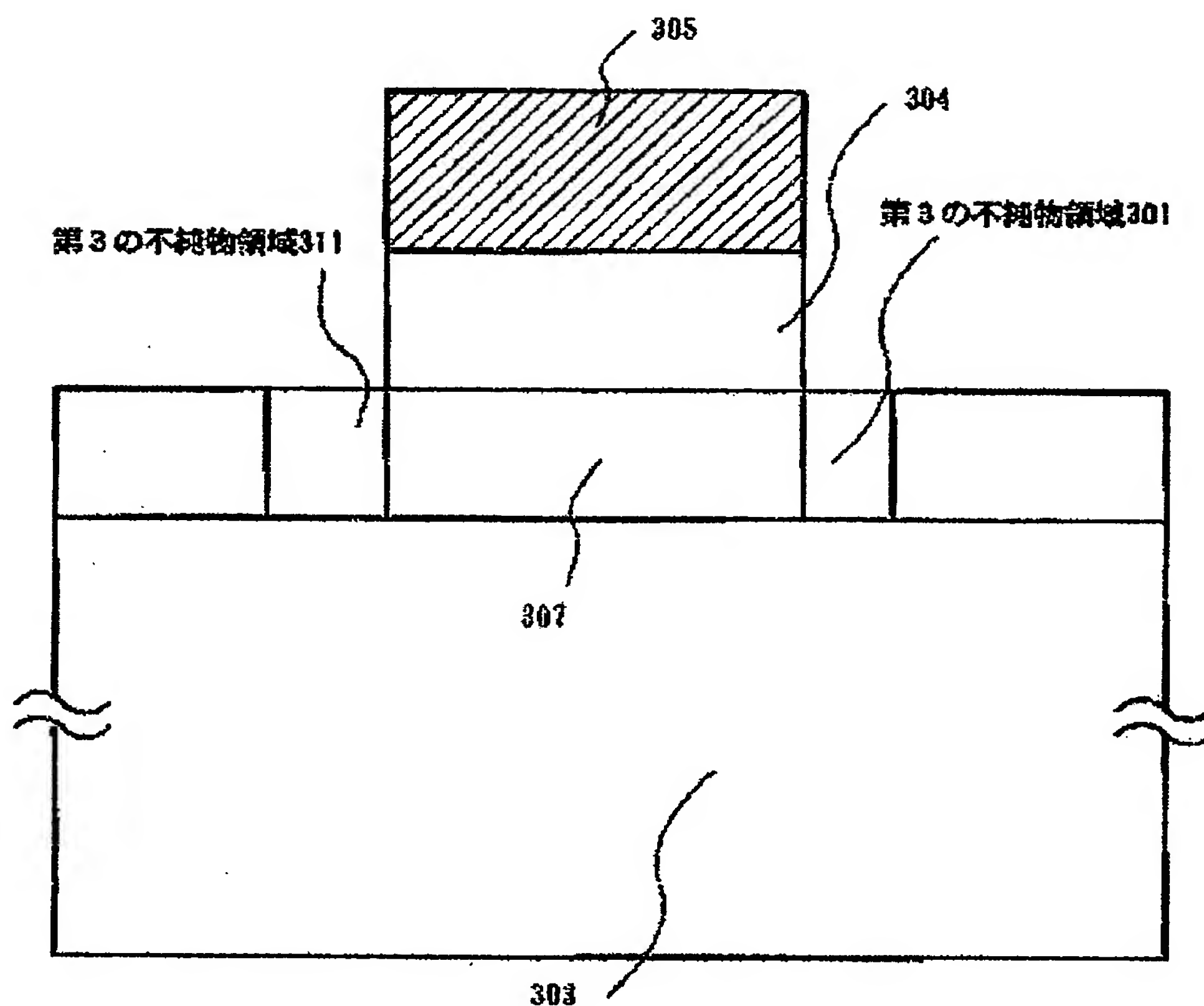
【図 14】



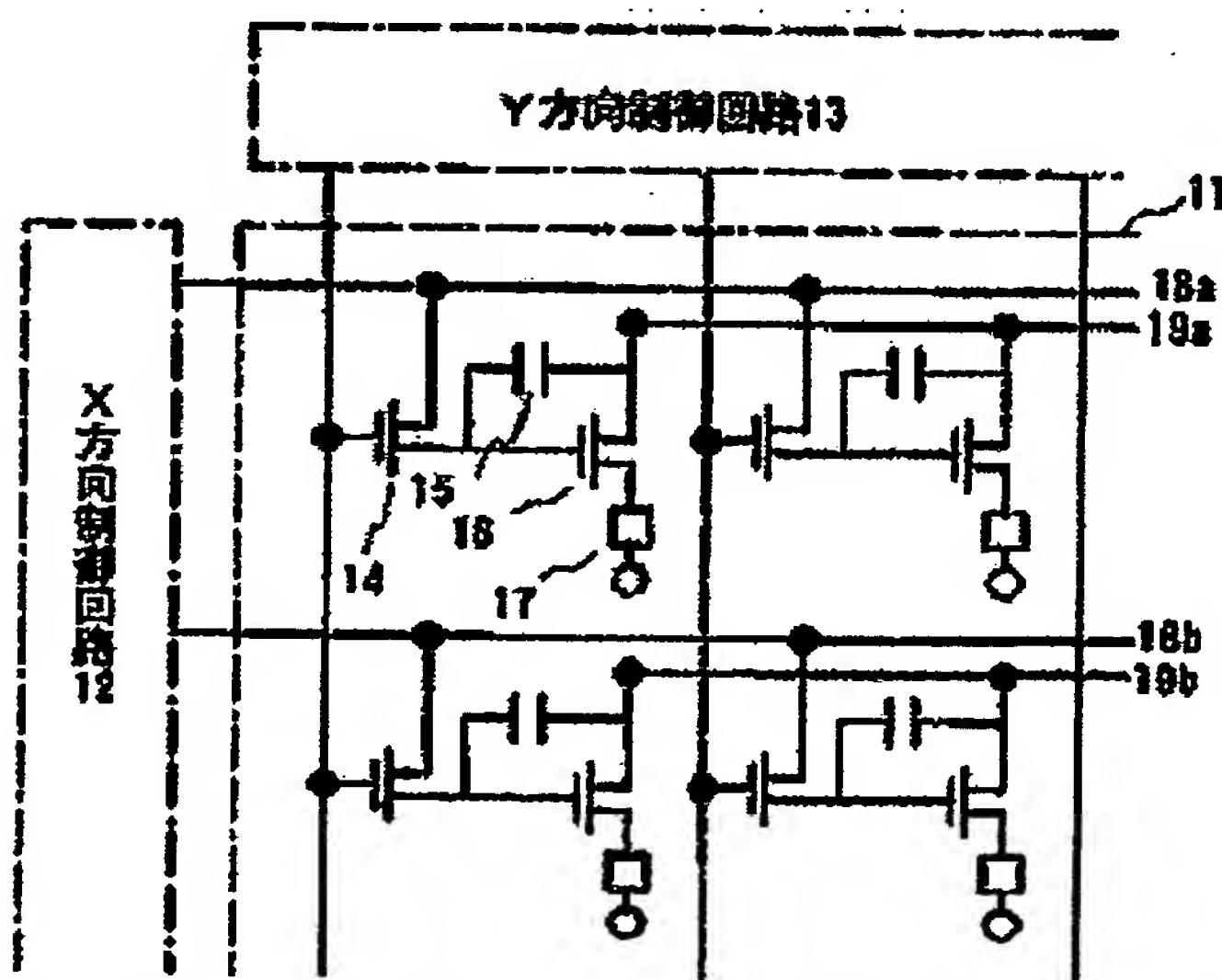
(13)

特開2001-189459

【図3】



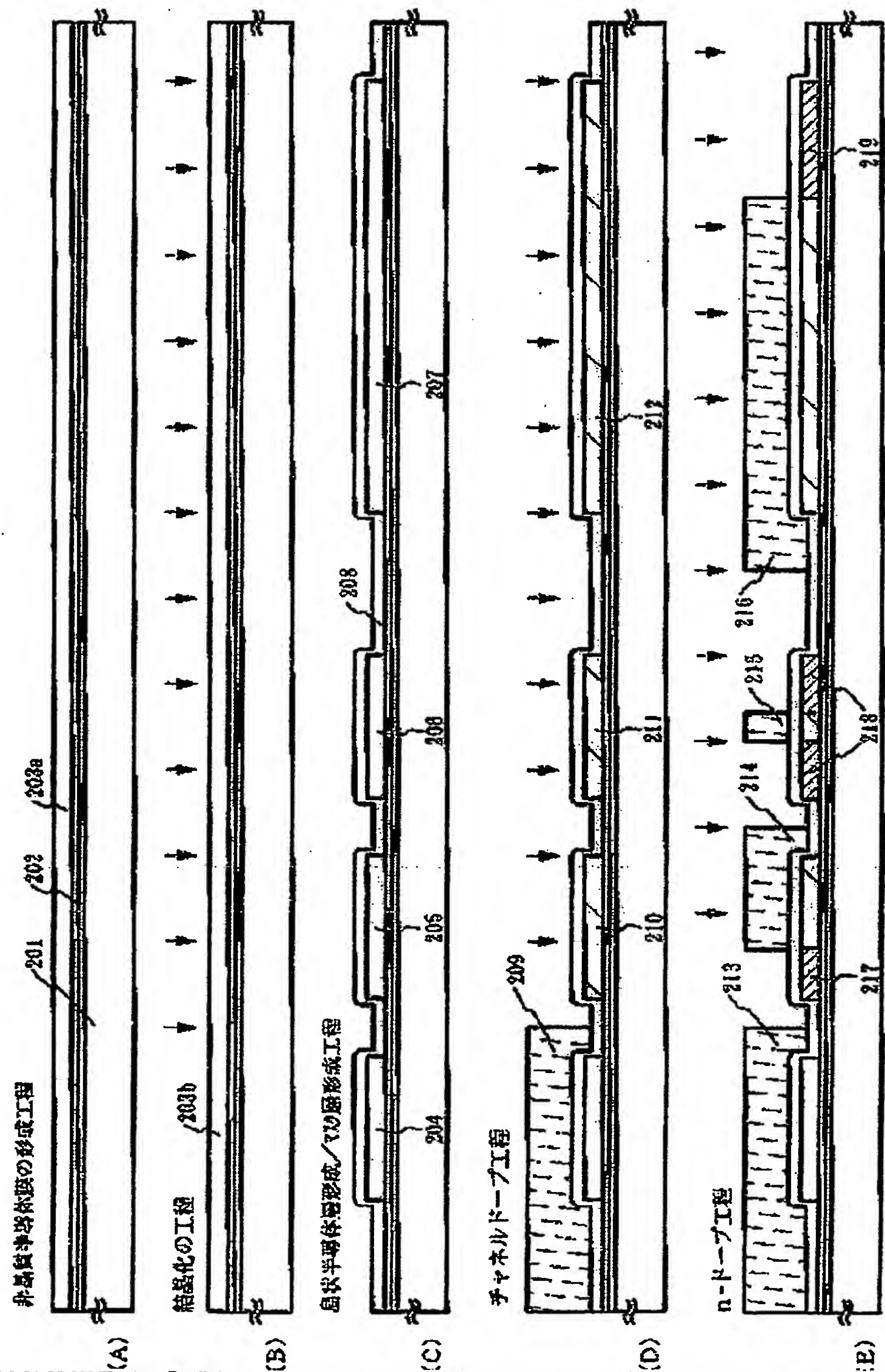
【図15】



(14)

特開2001-189459

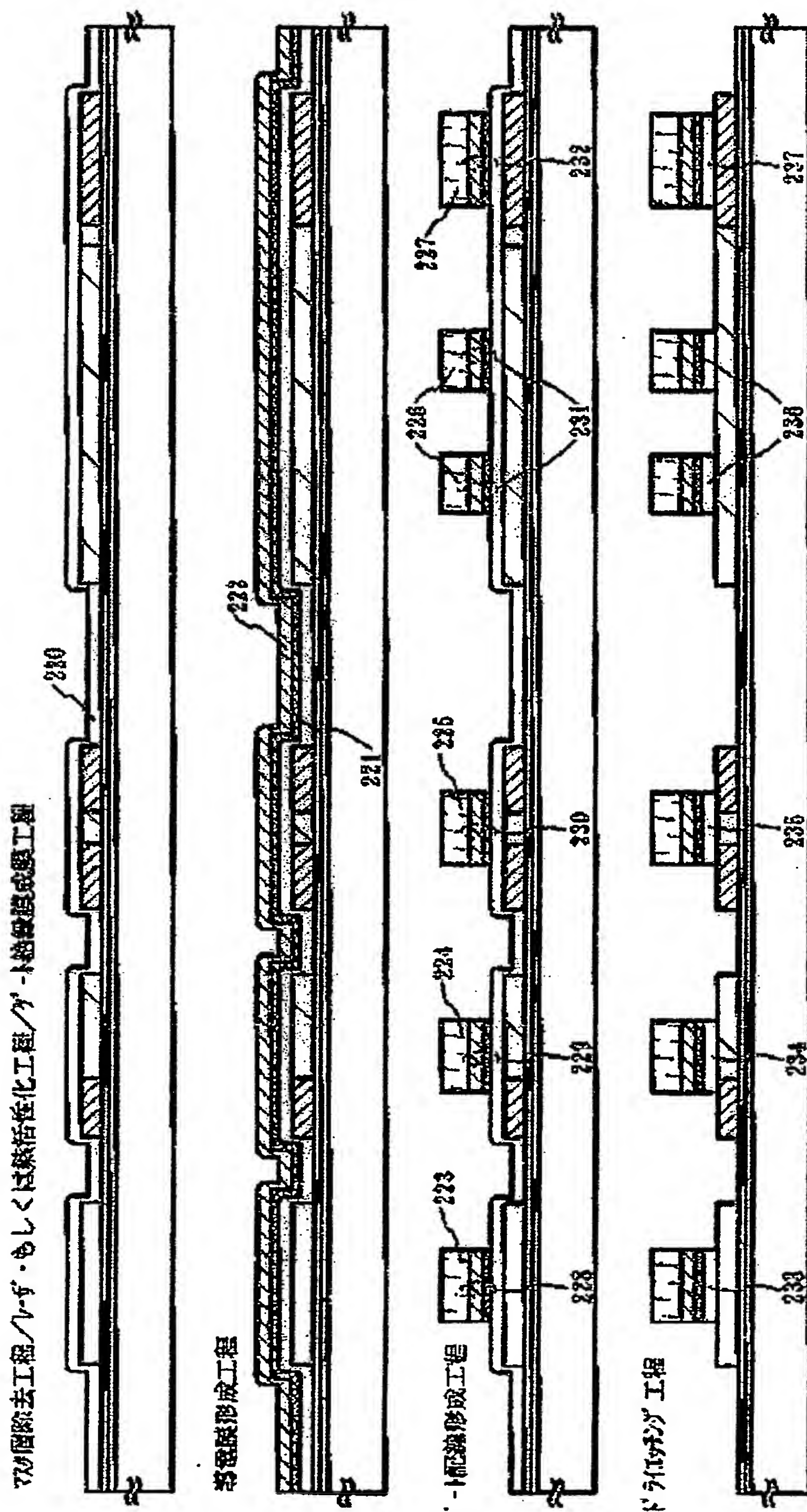
【図4】



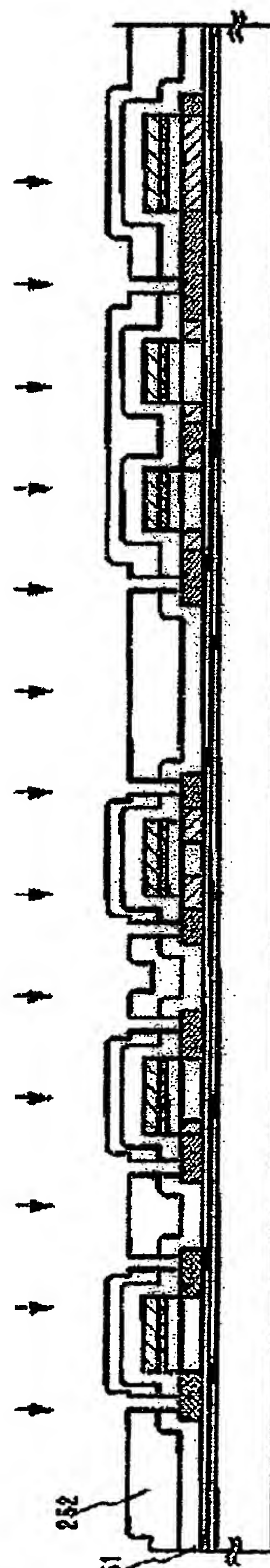
(15)

特開2001-189459

【図5】



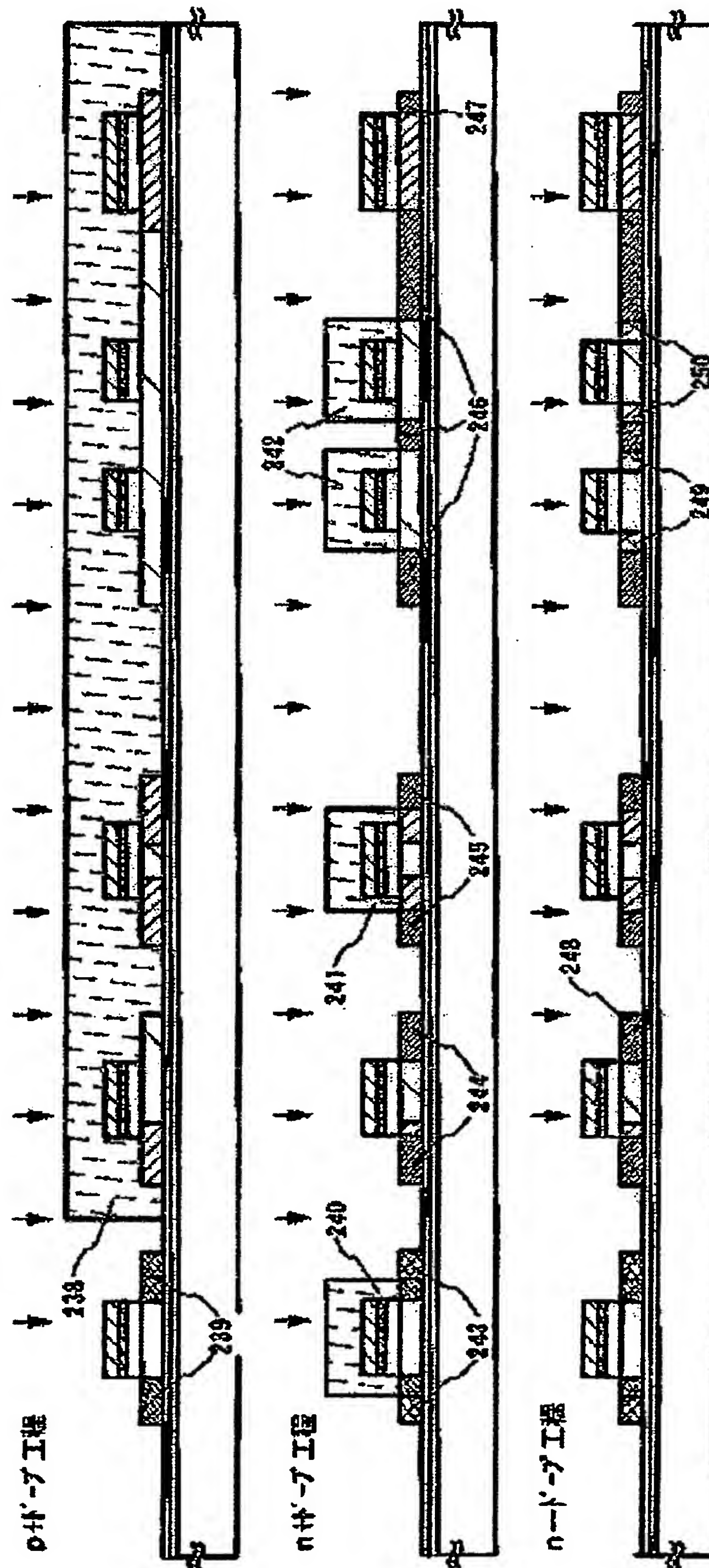
【図7】



(15)

特開2001-189459

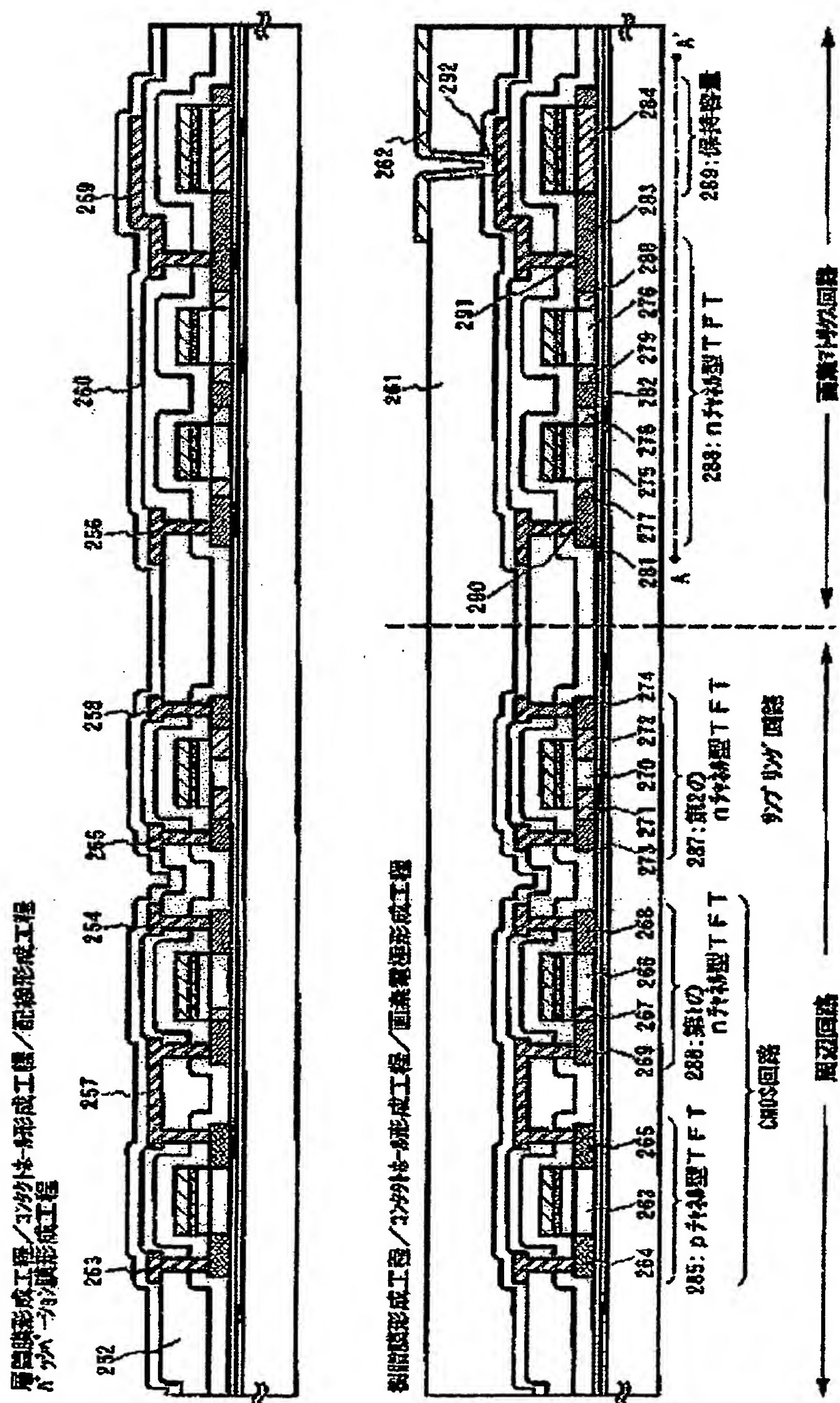
【図6】



(17)

特開2001-189459

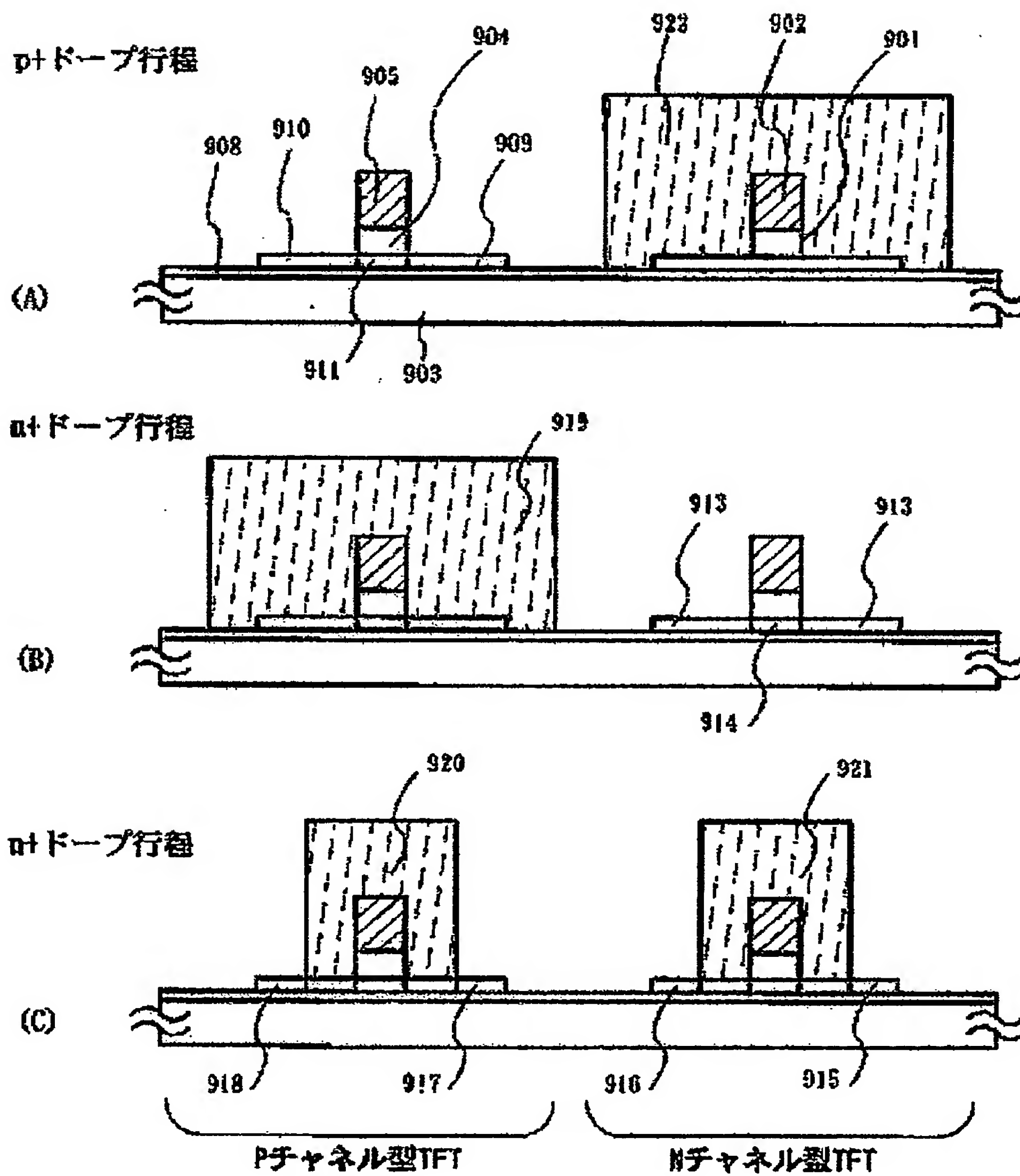
【図8】



(18)

特開2001-189459

【図9】



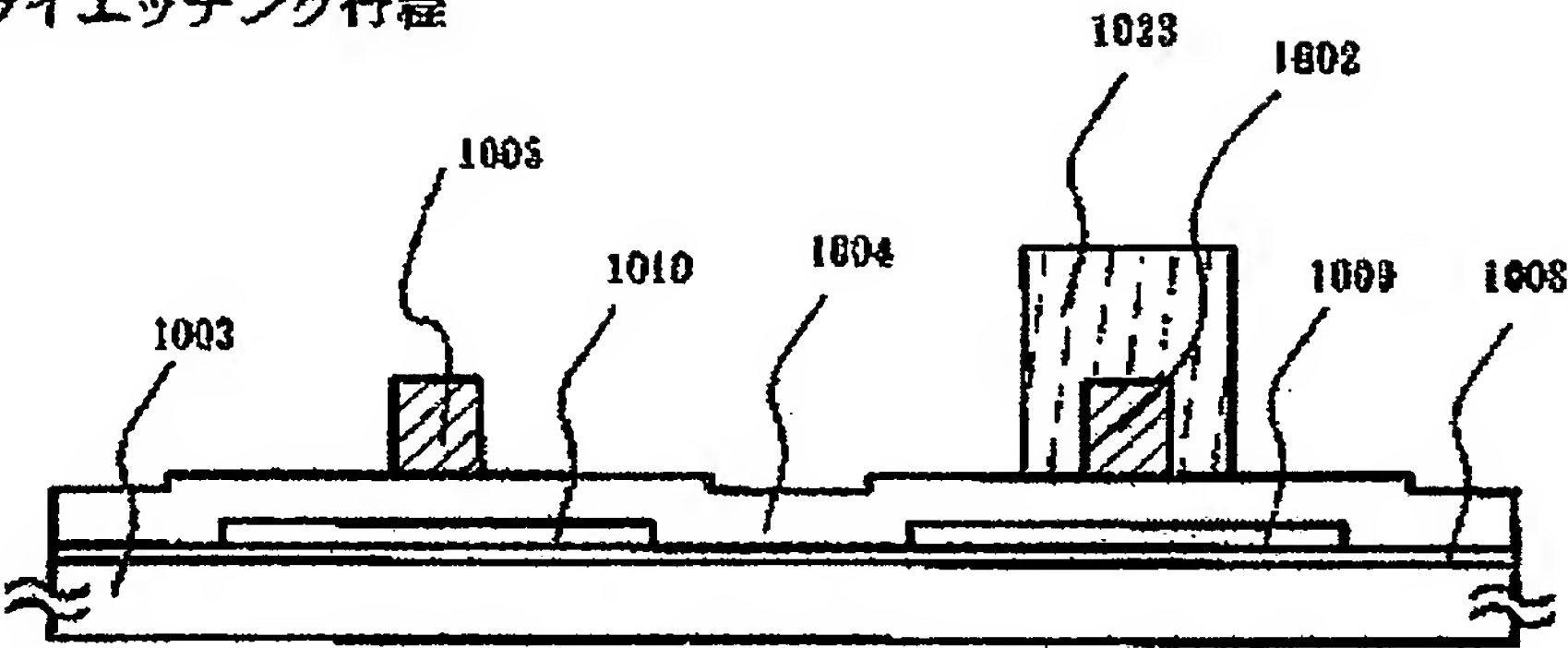
(19)

特開2001-189459

【図10】

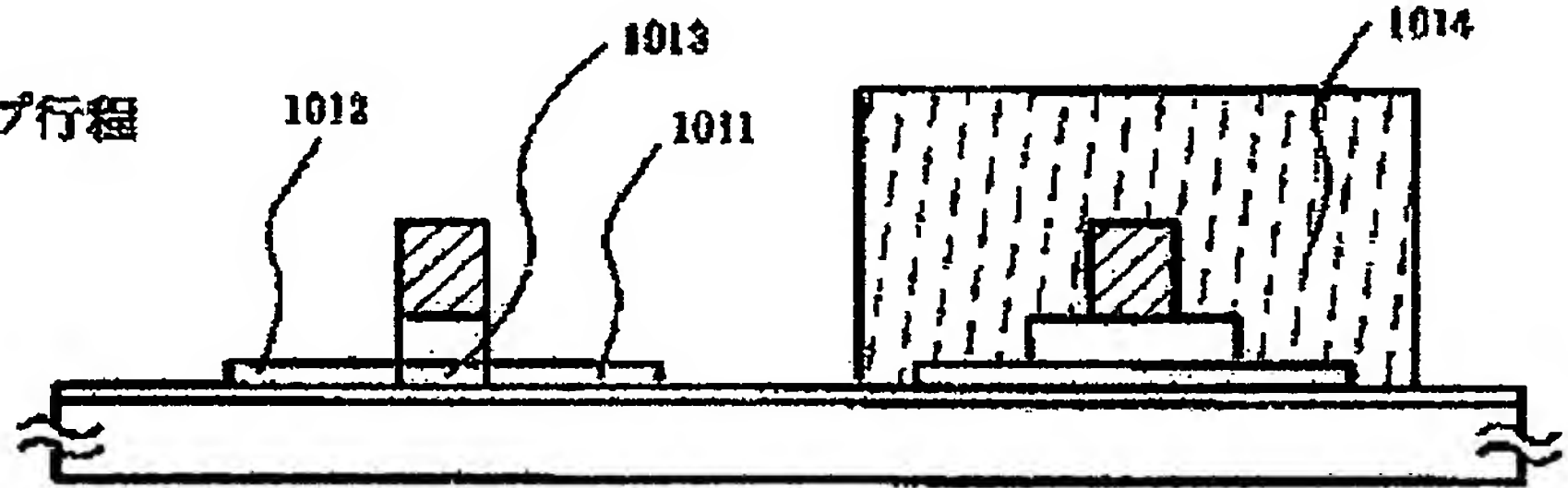
GI膜ドライエッチング行程

(A)



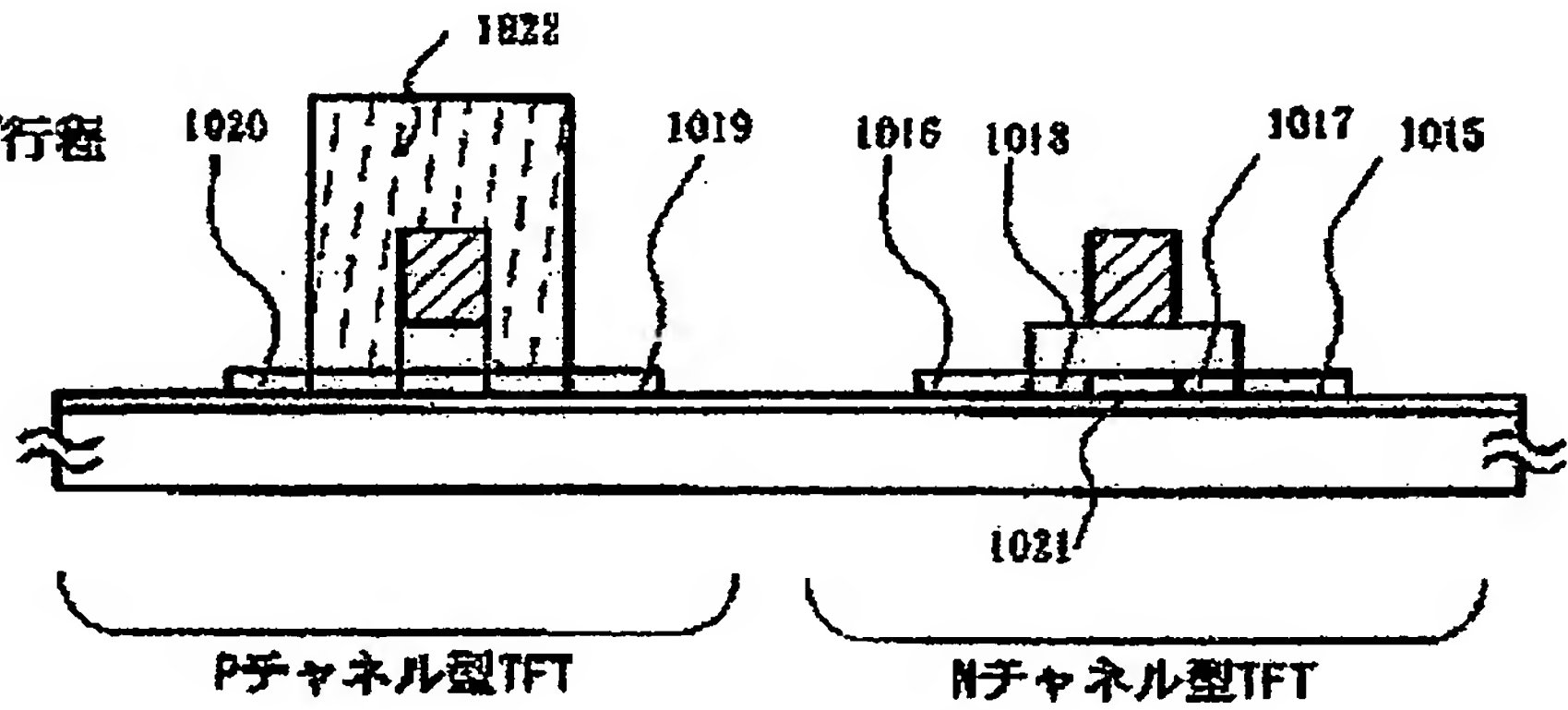
p+ドーピング行程

(B)



n+ドーピング行程

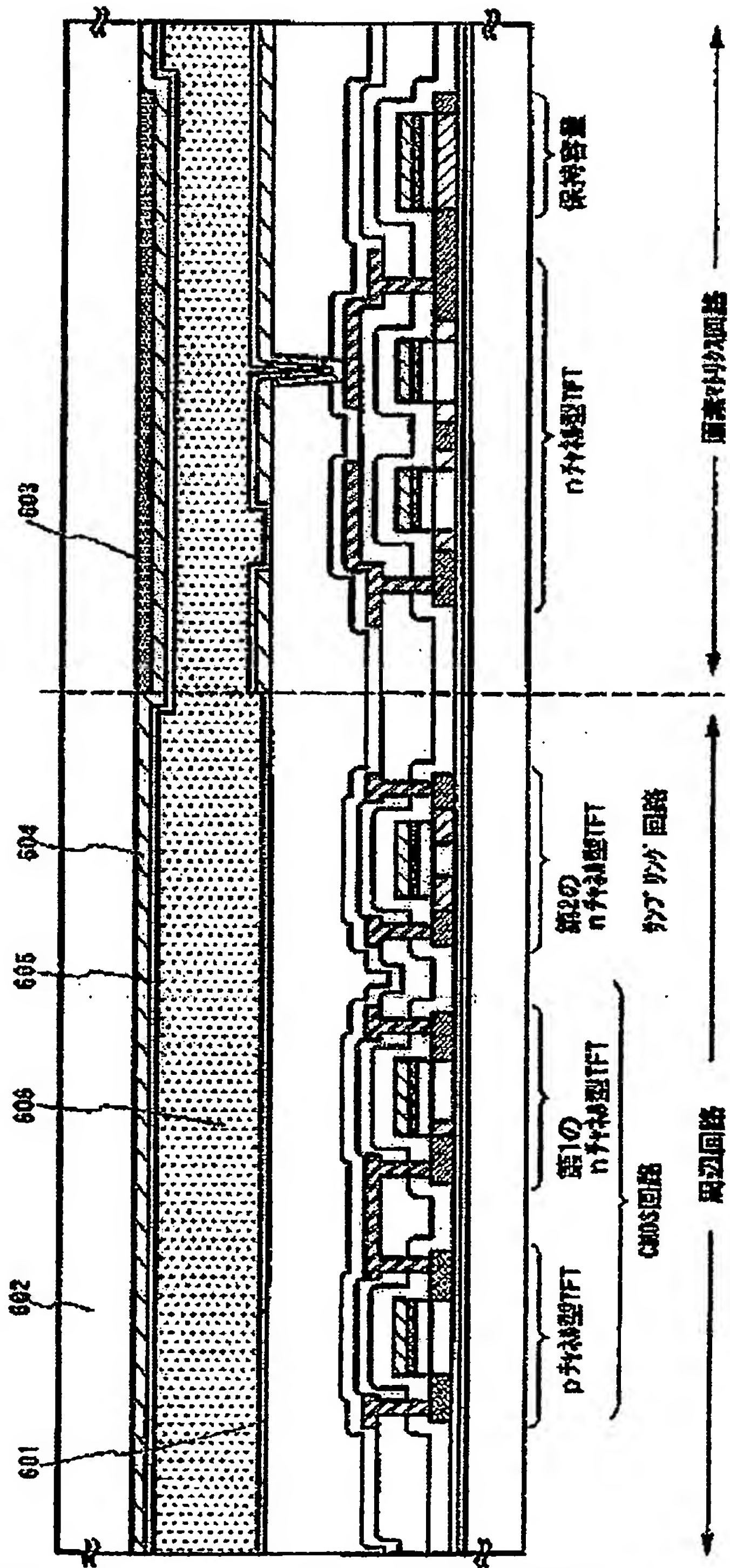
(C)



(21)

特開2001-189459

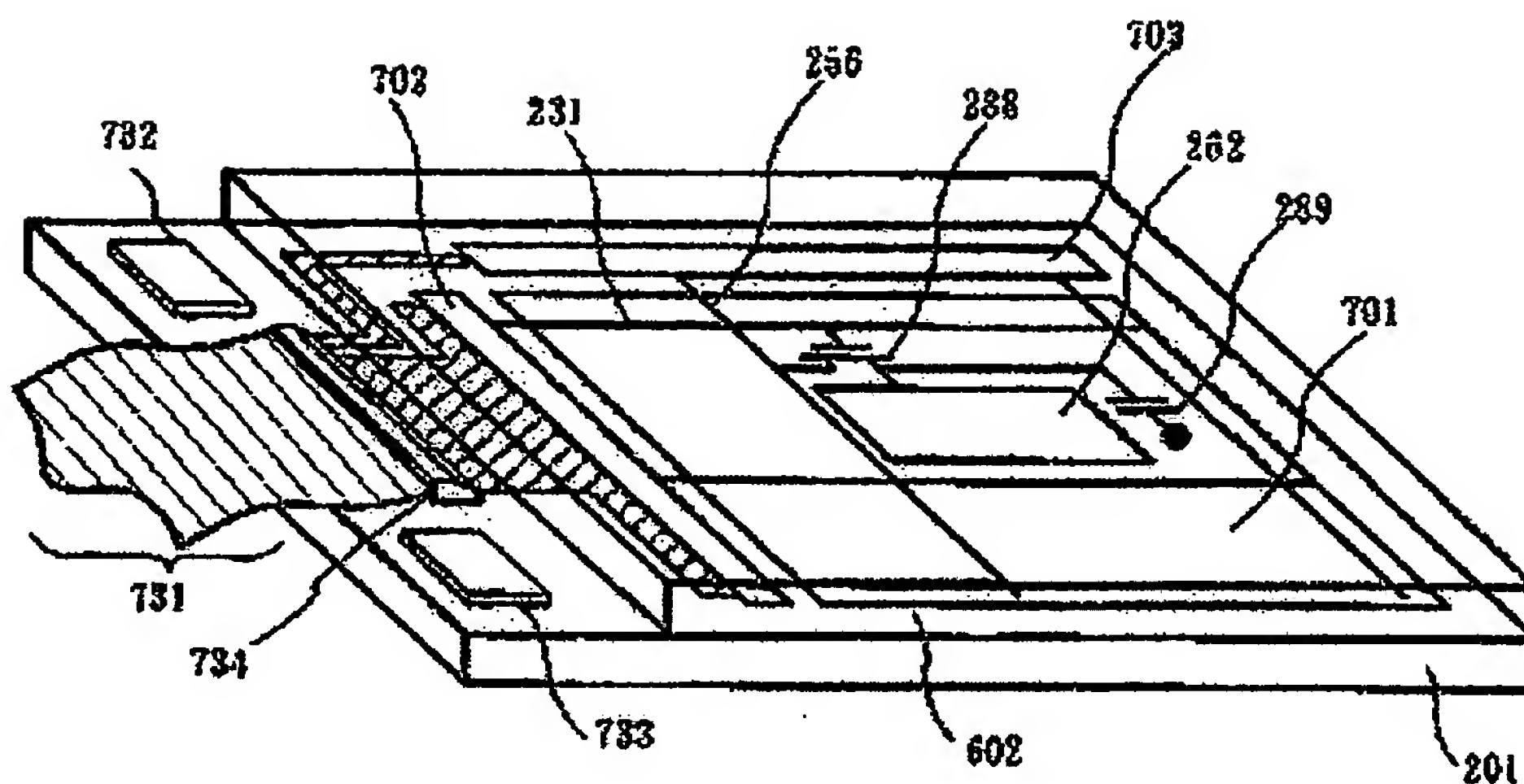
【図12】



(22)

特開2001-189459

【図13】



アクティブマトリクス基板

201 : 基板
 701 : 画素マトリクス回路
 702 : 走査信号制御回路, 703 : 画像信号制御回路
 731 : PPC, 732, 733 : ICチップ,
 734 : 外部入出力端子

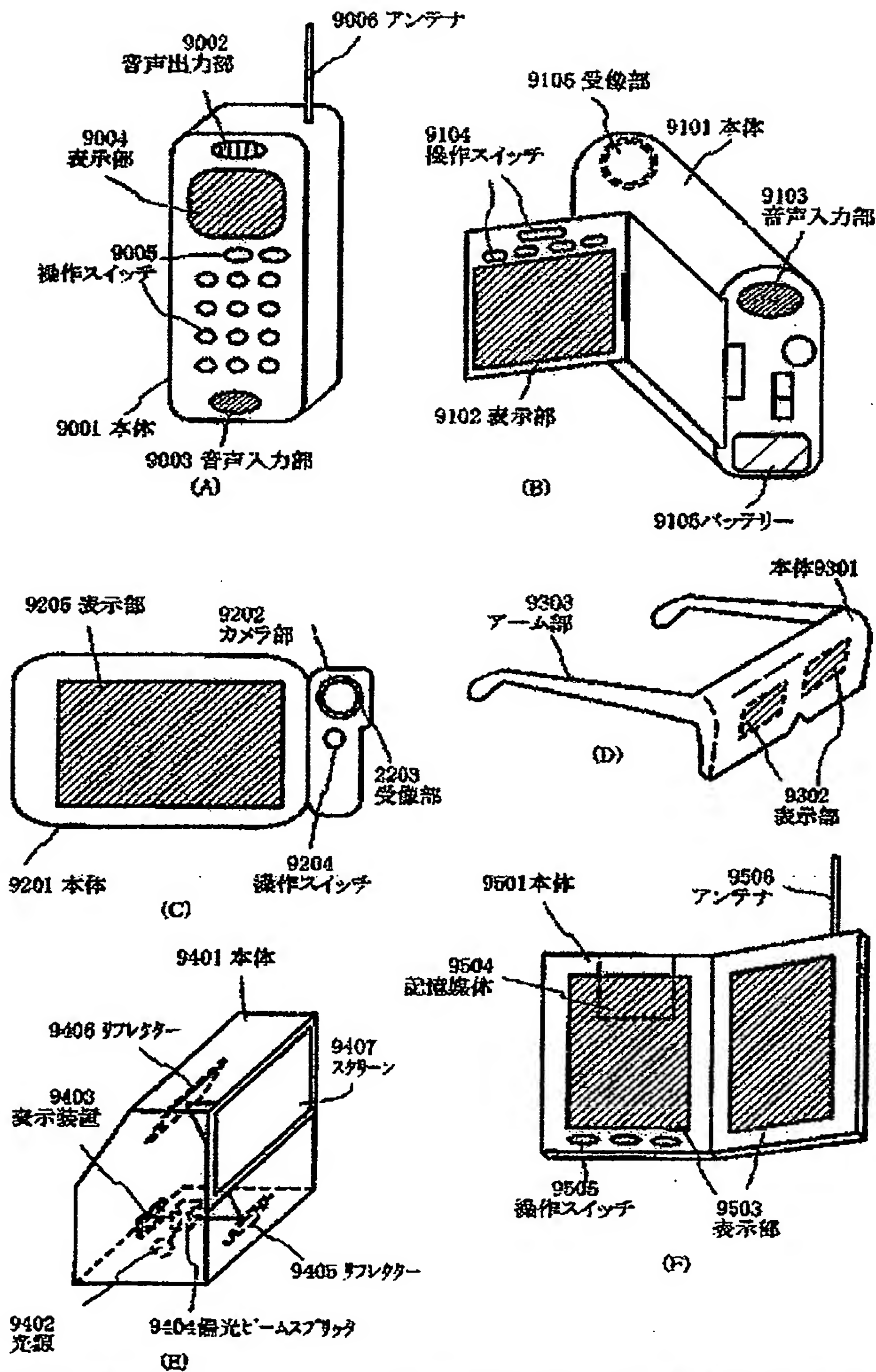
288 : n - $+$ 型TFT
 231 : g - $+$ 配線, 256 : y - $+$ 配線
 262 : 画素電極, 289 : 保持電圧

602 : 対向基板

(23)

特開2001-189459

【図16】



(24)

特開2001-189459

フロントページの続き

(51)Int.Cl.

識別番号

F i

ターム(参考)

H 0 1 L 29/78

6 1 7 A

6 2 7 G

Fターム(参考) 2H092 GA59 JA25 JA29 JA33 JA35
JA38 JA39 JA42 JA43 JA44
JA46 JA47 JB13 JB23 JB27
JB32 JB33 JB36 JB38 JB43
JB51 JB57 JB63 JB69 KA04
KA07 KA12 MA05 MA07 MA14
MA15 MA16 MA18 MA19 MA20
MA27 MA28 MA32 MA35 MA37
MA41 MA22 NA25 PA06 PA13
RA05
5FG52 AA02 AA17 CA00 DA02 DB03
DB07 FA24 HA03 HA06 JA01
5F110 AA30 BB02 BB04 CC02 DD01
DD02 DD03 DD05 DD13 DD14
DD15 EE01 EE04 EE05 EE06
EE14 EE44 FF02 FF03 FF04
FF12 FF28 FF30 GG02 GG04
GG13 GG25 GG32 GG34 GG43
GG45 HJ01 HJ07 HJ13 HJ23
HM15 NN03 NN04 NN22 NN23
NN24 NN73 PP03 PP34 PP35
QQ05 QQ24 QQ25 QQ28

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.